

DIALOG(R) File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

012353414 \*\*Image available\*\*

WPI Acc No: 1999-159521/ 199914

XRPX Acc No: N99-116118

SOI/bulk hybrid semiconductor device e.g. MOSFET - includes conductive spacer whose resistance is lower than semiconductor areas formed between SOI and bulk areas

Patent Assignee: INT BUSINESS MACHINES CORP (IBMC ); IBM CORP (IBMC )

Inventor: JASO M A; MANDELMAN J A; TONTI W R P; WORDEMAN M R; TONTI W R

Number of Countries: 006 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11017001	A	19990122	JP 98160221	A	19980609	199914 B
CN 1202736	A	19981223	CN 98108451	A	19980515	199919
US 5894152	A	19990413	US 97878225	A	19970618	199922
SG 66907	A1	19990817	SG 981448	A	19980617	199938
JP 2980586	B2	19991122	JP 98160221	A	19980609	200001
KR 99006452	A	19990125	KR 9817441	A	19980514	200014
US 6107125	A	20000822	US 97878225	A	19970618	200042
			US 98187292	A	19981105	
TW 405220	A	20000911	TW 98106112	A	19980421	200129
KR 289830	B	20011212	KR 9817441	A	19980514	200247

Priority Applications (No Type Date): US 97878225 A 19970618; US 98187292 A 19981105

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11017001	A		8	H01L-021/762	
CN 1202736	A			H01L-027/02	
US 5894152	A			H01L-027/01	
SG 66907	A1			H01L-021/77	
JP 2980586	B2		8		Previous Publ. patent JP 11017001
KR 99006452	A			H01L-027/12	
US 6107125	A			H01L-021/00	Div ex application US 97878225 Div ex patent US 5894152
TW 405220	A			H01L-021/768	
KR 289830	B			H01L-027/12	Previous Publ. patent KR 99006452

Abstract (Basic): JP 11017001 A

NOVELTY - An SOI area (120) and a single crystal bulk area (122) are adjacently formed on the surface of a silicon wafer. The SOI area is separated electrically from the bulk area. A conductive spacer (124) is formed between the SOI area and bulk area. The SOI area is electrically connected to ground. An insulating spacer (126) is formed on the conductive spacer. The resistance of the conductive spacer is lower than all the semiconductor areas to which the conductive spacer contacts.

USE - None given.

ADVANTAGE - Sacrificial polishing layer is formed on bulk area by epitaxial growth, thus avoiding selective growth. Reduces floating body effect by connecting SOI area to ground. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor device. (120) SOI area; (122) Bulk area; (124) Conductive spacer; (126) Insulating spacer.

Dwg.6/6

Title Terms: SOI; BULK; HYBRID; SEMICONDUCTOR; DEVICE; MOSFET; CONDUCTING;  
SPACE; RESISTANCE; LOWER; SEMICONDUCTOR; AREA; FORMING; SOI; BULK; AREA  
Derwent Class: U11; U12; U13  
International Patent Class (Main): H01L-021/00; H01L-021/762; H01L-021/768;  
H01L-021/77; H01L-027/01; H01L-027/02; H01L-027/12  
International Patent Class (Additional): H01L-021/20; H01L-031/0392  
File Segment: EPI  
Manual Codes (EPI/S-X): U11-C01J8; U11-C08A4; U12-D02A4; U13-D07

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17001

(43)公開日 平成11年(1999)1月22日

(51)Int.Cl.  
H 01 L 21/762  
21/20  
27/12

識別記号

F I  
H 01 L 21/76  
21/20  
27/12

D  
F

審査請求 未請求 請求項の数27 OL (全8頁)

(21)出願番号 特願平10-160221

(22)出願日 平成10年(1998)6月9日

(31)優先権主張番号 08/878225

(32)優先日 1997年6月18日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク(番地なし)

(72)発明者 マーク・エイ・ジェイソ

アメリカ合衆国 20109 バージニア州

マネイッサス エイビーティ101 ダブル

ツリー コート 8126

(74)代理人 弁理士 板口 博(外1名)

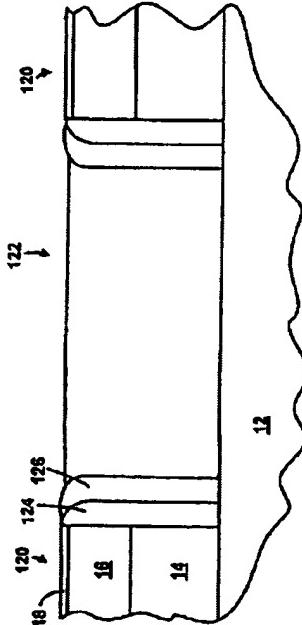
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】SOI/パルク・ハイブリッド半導体基板を提供する。

【解決手段】SOIである領域120と、パルクである領域122とを有する半導体デバイスである。単結晶半導体領域が設けられる。この領域内に、導電性スペーサ124を設けて、SOI領域を、グランドに電気的に接続して、フローティング・ボディ効果を克服する。さらに、絶縁性スペーサ126を導電性スペーサの表面に形成して、SOI領域をパルク領域から電気的に分離することができる。これら両領域を作製する方法では、エピタキシャル成長される単結晶パルク領域は、犠牲研磨層が付着されているので、選択的に成長させる必要はない。



## 【特許請求の範囲】

【請求項1】(a) ほぼ平坦な表面を有する単結晶基板と、

(b) 前記平坦表面上にあり、絶縁体領域上に半導体を有する第1の表面領域と、

(c) 前記平坦表面上にあり、単結晶領域である第2の表面領域と、

(d) 前記絶縁体領域上の半導体を前記基板に接続する、前記絶縁体領域上の半導体の周囲の第1の部分にのみ形成された導電性スペーサとを備え、前記スペーサの抵抗率は、スペーサが接触するすべての半導体領域の抵抗率よりもかなり低い、ことを特徴とする半導体装置。

【請求項2】前記単結晶基板は、シリコン・ウェハであることを特徴とする請求項1記載の半導体装置。

【請求項3】前記導電性スペーサは、アルミニウム、タンゲステン、ドープトボリシリコン、真性ボリシリコン、銅、アルミニウム-銅、チタン、ケイ化チタン、ケイ化ニッケル、ケイ化コバルトよりなる群から選ばれた材料であることを特徴とする請求項1記載の半導体装置。

【請求項4】前記第2の表面領域は、エピタキシャル成長されたシリコン材料であることを特徴とする請求項1記載の半導体装置。

【請求項5】前記第1の表面領域および前記第2の表面領域上に、複数のデバイスをさらに備え、前記第1の表面領域上の複数のデバイスの高電圧応用に対し、前記絶縁体領域上の半導体の全周囲に、前記導電性スペーサが形成されていることを特徴とする請求項1記載の半導体装置。

【請求項6】前記絶縁体領域上の半導体の周囲の第2の部分にのみ形成された絶縁性スペーサをさらに備え、前記絶縁性スペーサは、前記第1の表面領域を、前記周囲の第2の部分において前記第2の表面領域から絶縁的に分離することを特徴とする請求項1記載の半導体装置。

【請求項7】前記第1の表面領域は、前記第1の部分または第2の部分ではなく、前記周囲の残りの部分において前記第2の表面領域に直接に接觸することを特徴とする請求項6記載の半導体装置。

【請求項8】前記周囲の第1の部分は、全周囲であることを特徴とする請求項1記載の半導体装置。

【請求項9】前記周囲の第1の部分は、前記周囲の一部であり、前記第1の表面領域は、前記周囲の残りの部分において前記第2の表面領域に直接に接觸することを特徴とする請求項1記載の半導体装置。

【請求項10】前記第2の表面領域は、前記平坦表面と実質的に同じ結晶構造を有することを特徴とする請求項1記載の半導体装置。

【請求項11】(a) ほぼ平坦な表面を有する単結晶基板と、

(b) 前記平坦表面上にあり、絶縁体領域上に半導体を

有する第1の表面領域と、

(c) 前記平坦表面上にあり、前記平坦表面と実質的に同じ結晶構造を有する単結晶領域である第2の表面領域と、

(d) 前記絶縁体領域上の半導体を前記基板に接続する、前記絶縁体領域上の半導体の周囲の第1の部分にのみ形成された導電性スペーサとを備え、前記スペーサの抵抗率は、スペーサが接觸するすべての半導体領域の抵抗率よりもかなり低い、

(e) 前記導電性スペーサ上の、前記半導体の周囲の選択された部分に形成された絶縁性スペーサを備え、前記絶縁体領域上の半導体を、第2の表面領域である単結晶領域から電気的に分離する、ことを特徴とする半導体装置。

【請求項12】前記単結晶基板は、シリコン・ウェハであることを特徴とする請求項1記載の半導体装置。

【請求項13】前記導電性スペーサは、アルミニウム、タンゲステン、ドープトボリシリコン、真性ボリシリコン、銅、アルミニウム-銅、チタン、ケイ化チタン、ケイ化ニッケル、ケイ化コバルトよりなる群から選ばれた材料であることを特徴とする請求項1記載の半導体装置。

【請求項14】前記第2の表面領域は、エピタキシャル成長されたシリコン材料であることを特徴とする請求項1記載の半導体装置。

【請求項15】前記第1の表面領域および前記第2の表面領域上に、複数のデバイスをさらに備え、前記第1の表面領域上の複数のデバイスの高電圧応用に対し、前記絶縁体領域上の半導体の全周囲に、前記導電性スペーサが形成されていることを特徴とする請求項1記載の半導体装置。

【請求項16】前記絶縁体領域上の半導体の周囲の第2の部分にのみ形成された絶縁性スペーサをさらに備え、前記絶縁性スペーサは、前記第1の表面領域を、前記周囲の第2の部分において前記第2の表面領域から絶縁的に分離することを特徴とする請求項1記載の半導体装置。

【請求項17】前記第1の表面領域は、前記第1の部分または第2の部分ではなく、前記周囲の残りの部分において前記第2の表面領域に直接に接觸することを特徴とする請求項16記載の半導体装置。

【請求項18】前記周囲の第1の部分は、全周囲であることを特徴とする請求項1記載の半導体装置。

【請求項19】前記周囲の第1の部分は、前記周囲の一部であり、前記第1の表面領域は、前記周囲の残りの部分において前記第2の表面領域に直接に接觸することを特徴とする請求項1記載の半導体装置。

【請求項20】半導体装置を製造する方法において、

(a) ほぼ平坦な表面を有する単結晶基板を設ける工程と、

(b) 前記単結晶基板に第1の表面領域を形成する工程とを含み、前記第1の表面領域は、周囲を有する絶縁体領域上の半導体であり、

(c) 薄い研磨停止層を付着する工程と、

(d) 錫性層を付着する工程と、

(e) 前記錫性層に開口を形成して、前記薄い研磨停止層の部分を露出させる工程と、

(f) バルク基板の上部に、開口をエッチングする工程と、

(g) 少なくとも前記薄い研磨停止層のレベルまで、単結晶半導体材料を成長させる工程と、

(h) 前記単結晶半導体材料を、前記薄い研磨停止層まで研磨する工程と、を含むことを特徴とする製造方法。

【請求項21】前記第1の表面領域を、高ドーズ量の酸素の高エネルギー注入によって形成し、前記工程(f)の後であって、前記工程(g)の前に、さらに、前記バルク基板の上部をエッチングして、遷移領域を除去する工程を、含むことを特徴とする請求項20記載の製造方法。

【請求項22】前記単結晶半導体の成長を、非選択的に行うことを特徴とする請求項20記載の製造方法。

【請求項23】前記単結晶半導体材料の研磨は、前記錫性層までの第1の研磨工程と、前記薄い研磨停止層までの第2の研磨工程とを含むことを特徴とする請求項22記載の方法。

【請求項24】前記単結晶半導体材料を、前記錫性層の中間点まで成長させることを特徴とする請求項20記載の方法。

【請求項25】前記工程(f)の後であって、前記工程(g)の前に、さらに、

前記絶縁領域上の半導体の周囲の第1の部分に、第1のスペーサを選択的に形成する工程を、

含むことを特徴とする請求項20記載の方法。

【請求項26】スペーサの材料を、導電性スペース材料、絶縁性スペース材料、上面に絶縁スペース材料を有する導電性スペース材料からなる群から選択することを特徴とする請求項25記載の方法。

【請求項27】前記周囲の第1の部分にスペーサを形成した後、

前記周囲の第2の部分に第2のスペーサを選択的に形成する工程を、

さらに含むことを特徴とする請求項26記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、一般的には、半導体デバイスに関し、具体的には、バルクチップ領域とSOI(Silicon on insulator)領域(SOIの選ばれた領域は、ウェハに電気的に接続され、フローティング・ボディ問題を軽減する)を有する半導体基板とその作製方法に関する。

##### 【0002】

【従来の技術】通常のまたはバルク半導体デバイスは、P形またはN形材料よりなるウェルを、いずれかの導電形のウェハ内に注入することによって、半導体材料内に作製される。したがって、ゲートおよびソース/ドレイン拡散は、通常の既知のプロセスを用いて作製される。これらのプロセスは、金属酸化物半導体(MOS)電界効果トランジスタすなわちFETとして知られているデバイスを作製する。チップがP形およびN形材料を用いる場合には、デバイスは相補形金属酸化物半導体(CMOS)として知られている。これらデバイスの各々は、回路の短絡を避けるために、互いに電気的に分離されなければならない。比較的大きい値の表面積が、種々のFETの電気的分離に必要とされる。このことは、サイズの低減および集積度の増大という現在の傾向よりすれば、望ましくない。さらに、寄生バスおよび接合キャバシタンスの問題が、他のFETおよびバルク基板に対する、ソース/ドレイン拡散の物理的近似の故に、また生じ得る。これらの問題は、また、より大きい集積度に必要なサイズにスケールダウンしようとするときに、困難を生じる。さらに、サブ・スレショルド・スロープおよび基板感度は、低電圧応用のためにバルクCMOS技術をスケーリングすることに困難を生じさせる。

【0003】これらの問題を処理するために、SOI(Silicon on insulator)が、一般的になってきた。しかし、SOIは、自己加熱、静電気放電感受性、低ブレークダウン電圧、ダイナミック・フローティング・ボディ効果(これは、バスゲート・デバイス、および厳密なスレショルド電圧制御を要求するデバイスに対し問題を生じる)に悩まされている。フローティング・ボディ効果は、次のような場合に発生する。すなわち、デバイスのボディが一定の電位に接続されておらず、したがってデバイスが、デバイスの履歴に基づいて電荷を帯びる場合である。特に、ダイナミック・ランダムアクセス・メモリ(DRAM)では、フローティング・ボディ効果は、特に有害となる。というのは、バス・トランジスクが“オフ”状態に留まり、記憶キャバシタからの電荷漏洩を防止することは重要であるからである。SOIに固有の他の問題は、SOIの固有の目的が接合キャバシタンスを低減することであるが故に、大きな値のキャバシタの形成(すなわち、減結合応用)が、非常に困難であることである。さらに、半導体の薄い層は、静電気放電(FSD)デバイスのための抵抗放電バスの作製を難しくする。

【0004】これらの欠点の故に、最善のシナリオは、高性能支持デバイスのためのSOIの領域を、低漏洩×モリアレイのための隣接バルク・デバイスと組み合わせることであることが提案されている。しかし、SOI領域とバルク領域の両方を最もに形成することは難しい。

##### 【0005】

【課題を解決するための手段】本発明は、SOI／バルク・ハイブリッド半導体基板を提供する。この基板は、上面を有する単結晶基板と、前記上面にあり、SOI領域を備える第1の表面領域と、前記上面にあり、前記基板と実質的に同じ結晶構造を有する単結晶領域を備える第2の表面領域と、SOI領域の周囲の一部にのみ形成され、SOIの半導体を基板に電気的に接続する導電性電極とを備え、この導電性電極の抵抗率は、電極が接触するすべての半導体領域の抵抗率よりもかなり小さい。他の態様によれば、導電性電極は、初めに導電性スペーサを形成し、続いて導電性電極の表面に絶縁性スペーサを設けることによって、バルク領域から電気的に分離される。

【0006】ハイブリッド半導体基板は、初めに、バルク半導体基板を有する標準的なSOIウェハを設け、基板の上面に酸化物の層を形成し、酸化物層の上面に単結晶半導体材料の薄い層を形成することによって、製造することができる。窒化シリコンのような研磨停止層の薄い層を付着し(5~10nm)、続いて、犠牲材料の層を付着する。この犠牲層は、二酸化シリコンのような研磨停止層(100nm)に対し選択的にエッチングすることができる。酸化物層に開口をバーニングし、窒化物、SOI、バック酸化物をエッチングし、基板の表面で停止させる。スペーサ材料を、全表面に付着し、続いて反応性イオンエッチバックして、開口の側壁上にスペーサを形成する。次に、単結晶シリコンを、エピタキシャル成長させる。次に、全構造の表面を、化学機械研磨によって平坦化する。単結晶エピタキシャル・シリコンの領域およびSOI領域を処理して、平坦面上に適切なデバイスを形成することができる。

【0007】したがって、フォトグラフィック露点深度の問題から生じるトポグラフィ問題を有することなしに、バルク/SOIハイブリッドを形成するために、バルク・デバイスおよびSOIデバイスを平坦面上に形成できることが本発明の利点である。

【0008】本発明の方法は、デバイスの要件に応じて、分離または接続を可能にする領域を選択的に形成する能力を与える。

【0009】さらに本発明の他の利点は、SOIデバイスを、基板またはグランドに電気的に接続して、フローティング・ボディ効果を排除し、静電気放電デバイスの有効性を増大できることである。

【0010】本発明の多くの他の利点および特徴は、以下の説明から容易に明らかとなるであろう。

【0011】

【発明の実施の形態】図1に示すように、標準的なSOI基板が与えられる。この標準的なSOIは、ほぼ平坦な面を有する単結晶半導体であり、平坦面上の第1の表面領域における絶縁層14および薄い半導電性層16と、平坦面上の第2の表面領域におけるバルク領域12

とを有している。バルク領域12は、平坦面とはほぼ同じ結晶構造を有する単結晶領域である。絶縁層14は、典型的には酸化シリコンであり、単結晶半導体材料は通常はシリコンである。このSOI基板は、次のように種々に製造することができる。すなわち、酸素注入シリコン(silicon implanted with oxide: SIMOX)であり、バルク・ウェハが高ドーズ量の酸素で高エネルギー注入されている；接合およびエッチバック(BE(bond and etch back)-SOI)であり、2つのバルク・ウェハが表面上に成長した酸化物を有し、ドーパント・プロファイルは、ウェハの1つに形成されてマーカ層として働き、2つの酸化物表面は互いに接合され、ウェハの1つはマーカ・ドーパント層にまでエッチバックされる；または、“スマートカット(smart cut)”として知られている方法であり、ウェハの1つは、第1のウェハが第2のウェハに接合される前に、水素が注入され、第1のウェハおよび第2のウェハが互いに接合され、ウェハの1つの過剰なシリコンが、適切なレベルにクラッキングを生じさせるシリコン構造内の水素を用いて、あるいはSOIを作製する他の適切な手段によって、クラック・オフされる。SOI基板が形成されると、窒化シリコンよりなる薄い研磨停止層18(典型的に、約5nm~約10nm)が、シリコンの薄層上に付着される(図2参照)。次に、犠牲層、この場合、典型的に約100nmの厚さの酸化物層20が、図2に示すように、薄い窒化物層18上に付着される。酸化物層20は、続いて成長するエピタキシャル(エピ)シリコンに対し、バッファ領域を与える働きをする。このバッファ領域は、窒化物層上のエビ・オーバーグロースを避け、後述するように、アレイ・ブロックのエッジにおける結晶品質を改善する。

【0012】図3に示すように、普通の方法、典型的にはフォトリジスト材料を用いて領域をフォトリソグラフィ的に定め、定められた領域をエッチングすることによって、酸化物層に開口22が形成される。酸化物層20、窒化物層18、SOI、バック酸化物層14、16を通して材料がエッチングされ、バルク基板12の上部でエッチングは停止する。これらの開口は、DRAM製品などにおいてアレイブロックを形成する。窒化物のような絶縁性スペーサー、またはポリシリコン24のような導電性スペーサーを、絶縁領域上の半導体の周囲部分の選ばれた位置に形成することができる。導電性スペーサ24が用いられる場合、これは、SOI領域の半導体16を、基板に電気的に接続する働きをする。というのは、スペーサの抵抗率は、スペーサが接触するすべての半導体領域の抵抗率よりもかなり小さいからである。導電性スペーサの代表的な材料は、ドープトポリシリコン、真性ポリシリコン、銅、アルミニウム-銅、チタン、ケイ化チタン、ケイ化ニッケル、ケイ化コバルトを含むが、

これらに限定されるものではない。スペーサ24は、既知の方法を用いて、所望のスペーザ材料の層を付着し、この材料を直接にエッチバックして形成する。スペーザ24が一方の側に（他方の側ではなく）必要とされるならば、所望のスペーザを保護するためにブロック・マスクを用いることができ、および他のスペーザはエッチング除去される。

【0013】SIMOX SOIの場合には、シリコン基板の上部をエッチングして、バック絶縁体と、高ドーズ量の酸素注入によって損傷を受けた単結晶シリコン領域との間の遷移領域を除去して、続くエビ成長のための良好なベースを与えることが望まれる。次に、P形エビ層30が、基板表面から成長される。エビ層30は、選択的または非選択的に成長することができる。成長が非選択的ならば、パッド酸化物層の表面に成長するシリコンを、全表面を研磨することによって除去することができる。非選択成長は、容易に制御できる反応条件および時間節約のために、選ぶことができる。成長条件は、次のように調整される。すなわち、エビ層の上面が、薄い研磨停止層18の上面と少なくとも同じ高さとなるようになる。研磨前の基板は、図3に示されている。

【0014】次に、全基板が研磨されて、図4の構造となる。エビタキシャル成長したシリコン領域の研磨は、酸化物および窒化物の研磨停止層に対して選択的な研磨スラリーの使用を必要とする。研磨パッドは、研磨停止面に対して、エビ層の過剰なリセスを避けるために、研磨パッドは堅いことが好ましい。エビ層が上部酸化物層の上に延びている場合と、研磨プロセスは2回の研磨工程を含む。第1の工程は、研磨停止層として酸化物層を用いて、エビ層を研磨する。これは、エビ層30の表面を、酸化物の表面より下に、典型的にリセスする。酸化物層の前で停止するように、エビ成長を制御できるならば、この第1の工程は不要である。第1の研磨後の第2のエビ研磨は、研磨停止層として窒化物層を用いる。第1の研磨工程に用いられたのと同じパッドおよびスラリーを、第2の研磨工程に用いることができる。この第2の研磨工程は、エビ層30を、窒化物層18の上部に平坦化する。研磨回数は、エビ成長の量で決定される。エビ層18の高さが窒化物停止層18の高さに近くなればなるほど、少ない研磨回数が要求される。均一性と欠陥に対するオーバーゴースとを考慮した理想的な付着目標は、酸化物停止層の中間点である。エビ層の上面は、窒化物層の上部の数百オングストローム内になければならないので、生じ得るディッシングは小さくなければならず、SOI領域に対してアレイ領域についての焦点深度の問題を生じてはならない。

【0015】図5に示すように、SOIの領域100は、バルク領域102によって完全に取り囲まれており、バルク領域は、SOI104の領域によって完全に取り囲まれている。第1のまたは導電性のスペーザ10

5は、2つのエッジ、すなわち内側SOI100の周囲の第1の部分に沿って設けられる。第2のまたは絶縁性のスペーザ107は、1つのエッジ、すなわちバルク領域102の周囲の第2の部分に沿って設けられる。周囲の残りの部分においては、エビタキシャル成長シリコンは、SOI領域に直接に接している。図5は、本発明の柔軟性を示すのに役立っている。というのは、これらオプションの各々は、いずれのエッジにも利用できるからである。スペーザ・タイプの種々の組合せを採用して、特定のボディ・コンタクト、分離、ヒートシンクといった応用の要件を満足させることができる。例えば、隣接するすべてのSOI領域に接触する開口内に、エビ層を成長させることができる。このことは、開口に隣接するSOI領域へのボディ・コンタクトを与える。このボディ・コンタクトは、バスゲート金属酸化物半導体電界効果トランジスタ(MOSFET)のような、フローティング・ボディに苦しむ重要な回路に、あるいは、センス増幅器またはスタティック・ランダムアクセス・メモリ(SRAM)セルのような、クロース・マッチング(close matching)を必要とするデバイスに対して、用いられる。全体的に接触されたエビ層は、DRAMアレイまたは非常に低いノイズを要求する応用のようなバルク・デバイスのための接触ボディおよび基板を有する完全に空乏化したSOIデバイスの作製を可能にする。

【0016】SOIのすべてのサイド上の絶縁スペーザは、非接触ボディSOIデバイスが、バルク・デバイスに隣接して構成されることを可能にする。このことは、有害なフローティング・ボディ効果が、典型的には1.5Vより小さい低電圧電源で動作する接地されたソース・デバイスに対して、デバイス安定性の損失を生じるほどには大きくないときに、SOIの最大性能の利点を与える。

【0017】絶縁スペーザをSOIの1つのエッジ上に用い、他のエッジ上にはスペーザがないようにすることができます。この構成は、接触ボディSOI、バルク、互いに接近したフローティング・ボディSOIデバイスの組合せを形成するレイアウトの柔軟性を与える。

【0018】導電性スペース(金属とすることができる)を、SOI領域のすべてのサイドに設けることができる。この構成は、SOIのボディから基板への非常に低い電気抵抗バスと熱バスとを与える。これは、ボディ電流を比較的大きくすることのできる高電圧応用に対し安定性を与えるのに有用である。このことは、また、エビ層が成長してSOI領域に接触する構成に比べて、SOIに対し改善された電力消費能力を与える。

【0019】他の構成を図6に示す。導電性スペーザ124を形成して、SOI領域120から基板への非常に低抵抗のバスをまず最初に与え、絶縁性スペーザ126を導電性スペース124の上に形成して、SOI領域1

20と隣接するバルク・デバイス領域122との間に絶縁体分離を与える。絶縁性スペーサ126を、導電性スペース124が存在しない周囲の選ばれた部分に、同一工程で作製することができ、導電性スペース124が存在する周囲の選ばれた部分に作製しないようにすることができる。これは、種々のバラメトリアル・デバイスの所望の構造および機能に基づいて行われる。エビ層から絶縁的に分離されつつ、基板へ電気的に接触される部分を含む能力は、低ノイズおよびアナログ/デジタル組合せ応用にとって、有用であり重要である。

【0020】本発明を、好適な実施例に基づいて特に説明したが、当業者であれば、本発明の趣旨と範囲から逸脱することなく、変更、変形が可能であることがわかる。

【0021】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) (a) ほぼ平坦な表面を有する単結晶基板と、(b) 前記平坦表面上にあり、絶縁体領域上に半導体を有する第1の表面領域と、(c) 前記平坦表面上にあり、単結晶領域である第2の表面領域と、(d) 前記絶縁体領域上の半導体を前記基板に接続する、前記絶縁体領域上の半導体の周囲の第1の部分にのみ形成された導電性スペーサとを備え、前記スペーサの抵抗率は、スペーサが接触するすべての半導体領域の抵抗率よりもかなり低い、ことを特徴とする半導体装置。

(2) 前記単結晶基板は、シリコン・ウェハであることを特徴とする上記(1)に記載の半導体装置。

(3) 前記導電性スペーサは、アルミニウム、タングステン、ドアートポリシリコン、真性ポリシリコン、銅、アルミニウム-銅、チタン、ケイ化チタン、ケイ化ニッケル、ケイ化コバルトよりなる群から選ばれた材料であることを特徴とする上記(1)に記載の半導体装置。

(4) 前記第2の表面領域は、エピタキシャル成長されたシリコン材料であることを特徴とする上記(1)に記載の半導体装置。

(5) 前記第1の表面領域および前記第2の表面領域に、複数のデバイスをさらに備え、前記第1の表面領域上の複数のデバイスの高電圧応用に対し、前記絶縁体領域上の半導体の全周囲に、前記導電性スペーサが形成されていることを特徴とする上記(1)に記載の半導体装置。

(6) 前記絶縁体領域上の半導体の周囲の第2の部分にのみ形成された絶縁性スペーサをさらに備え、前記絶縁性スペーサは、前記第1の表面領域を、前記周囲の第2の部分において前記第2の表面領域から絶縁的に分離することを特徴とする上記(1)に記載の半導体装置。

(7) 前記第1の表面領域は、前記第1の部分または第2の部分ではなく、前記周囲の残りの部分において前記第2の表面領域に直接に接触することを特徴とする上記(6)に記載の半導体装置。

(8) 前記周囲の第1の部分は、全周囲であることを特徴とする上記(1)に記載の半導体装置。

(9) 前記周囲の第1の部分は、前記周囲の一部であり、前記第1の表面領域は、前記周囲の残りの部分において前記第2の表面領域に直接に接触することを特徴とする上記(1)に記載の半導体装置。

(10) 前記第2の表面領域は、前記平坦表面と実質的に同じ結晶構造を有することを特徴とする上記(1)に記載の半導体装置。

(11) (a) ほぼ平坦な表面を有する単結晶基板と、(b) 前記平坦表面上にあり、絶縁体領域上に半導体を有する第1の表面領域と、(c) 前記平坦表面上にあり、前記平坦表面と実質的に同じ結晶構造を有する単結晶領域である第2の表面領域と、(d) 前記絶縁体領域上の半導体を前記基板に接続する、前記絶縁体領域上の半導体の周囲の第1の部分にのみ形成された導電性スペーサとを備え、前記スペーサの抵抗率は、スペーサが接触するすべての半導体領域の抵抗率よりもかなり低い、(e) 前記導電性スペーサ上の、前記半導体の周囲の選択された部分に形成された絶縁性スペーサを備え、前記絶縁体領域上の半導体を、第2の表面領域である単結晶領域から電気的に分離することを特徴とする半導体装置。

(12) 前記単結晶基板は、シリコン・ウェハであることを特徴とする上記(11)に記載の半導体装置。

(13) 前記導電性スペーサは、アルミニウム、タングステン、ドアートポリシリコン、真性ポリシリコン、銅、アルミニウム-銅、チタン、ケイ化チタン、ケイ化ニッケル、ケイ化コバルトよりなる群から選ばれた材料であることを特徴とする上記(11)に記載の半導体装置。

(14) 前記第2の表面領域は、エピタキシャル成長されたシリコン材料であることを特徴とする上記(11)に記載の半導体装置。

(15) 前記第1の表面領域および前記第2の表面領域に、複数のデバイスをさらに備え、前記第1の表面領域上の複数のデバイスの高電圧応用に対し、前記絶縁体領域上の半導体の全周囲に、前記導電性スペーサが形成されていることを特徴とする上記(11)に記載の半導体装置。

(16) 前記絶縁体領域上の半導体の周囲の第2の部分にのみ形成された絶縁性スペーサをさらに備え、前記絶縁性スペーサは、前記第1の表面領域を、前記周囲の第2の部分において前記第2の表面領域から絶縁的に分離することを特徴とする上記(11)に記載の半導体装置。

(17) 前記第1の表面領域は、前記第1の部分または第2の部分ではなく、前記周囲の残りの部分において前記第2の表面領域に直接に接触することを特徴とする上記(16)に記載の半導体装置。

(18) 前記周囲の第1の部分は、全周囲であることを特徴とする上記(11)に記載の半導体装置。

(19) 前記周囲の第1の部分は、前記周囲の一部であり、前記第1の表面領域は、前記周囲の残りの部分において前記第2の表面領域に直接に接触することを特徴とする上記(11)に記載の半導体装置。

(20) 半導体装置を製造する方法において、(a)ほぼ平坦な表面を有する単結晶基板を設ける工程と、

(b) 前記単結晶基板に第1の表面領域を形成する工程とを含み、前記第1の表面領域は、周囲を有する絶縁体領域上の半導体であり、(c) 薄い研磨停止層を付着する工程と、(d) 錫性層を付着する工程と、(e) 前記錫性層に開口を形成して、前記薄い研磨停止層の部分を露出させる工程と、(f) バルク基板の上部に、開口をエッティングする工程と、(g) 少なくとも前記薄い研磨停止層のレベルまで、単結晶半導体材料を成長させる工程と、(h) 前記単結晶半導体材料を、前記薄い研磨停止層まで研磨する工程と、を含むことを特徴とする製造方法。

(21) 前記第1の表面領域を、高ドーズ量の酸素の高エネルギー注入によって形成し、前記工程(f)の後であって、前記工程(g)の前に、さらに、前記バルク基板の上部をエッティングして、遷移領域を除去する工程を、含むことを特徴とする上記(20)に記載の製造方法。

(22) 前記単結晶半導体の成長を、非選択的に行うことと特徴とする上記(20)に記載の製造方法。

(23) 前記単結晶半導体材料の研磨は、前記錫性層までの第1の研磨工程と、前記薄い研磨停止層までの第2の研磨工程とを含むことを特徴とする上記(22)に記載の方法。

(24) 前記単結晶半導体材料を、前記錫性層の中間点まで成長させることを特徴とする上記(20)に記載の方法。

(25) 前記工程(f)の後であって、前記工程(g)の前に、さらに、前記絶縁領域上の半導体の周囲の第1の部分に、第1のスペーサを選択的に形成する工程を、

含むことを特徴とする上記(20)に記載の方法。

(26) スペーサの材料を、導電性スペース材料、絶縁性スペース材料、上面に絶縁スペース材料を有する導電性スペース材料からなる群から選択することを特徴とする上記(25)に記載の方法。

(27) 前記周囲の第1の部分にスペーサを形成した後、前記周囲の第2の部分に第2のスペーサを選択的に形成する工程を、さらに含むことを特徴とする上記(26)に記載の方法。

#### 【図面の簡単な説明】

【図1】本発明の方法を実施する第1の工程の略断面図である。

【図2】本発明の方法を実施する第2の工程の略断面図である。

【図3】本発明の方法を実施する第3の工程の略断面図である。

【図4】本発明の方法を実施する第4の工程の略断面図である。

【図5】本発明の半導体装置の略上面図である。

【図6】本発明による他の半導体装置の略断面図である。

#### 【符号の説明】

10 SOI

12 バルク領域

14 絶縁層

16 半導電性層

18 鎧化物層(研磨停止層)

20 酸化物層(錫性層)

22 開口

24 スペーサ

30 P形エビ層

100, 104, 120 SOI領域

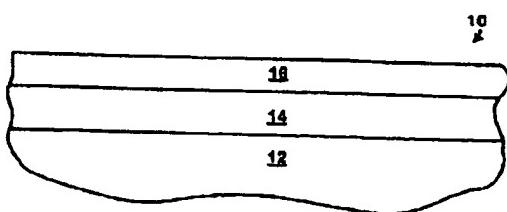
102 バルク領域

105, 124 導電性スペース

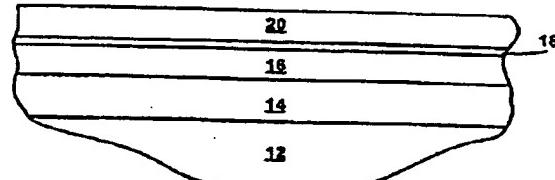
107, 126 絶縁性スペース

122 バルク・デバイス領域

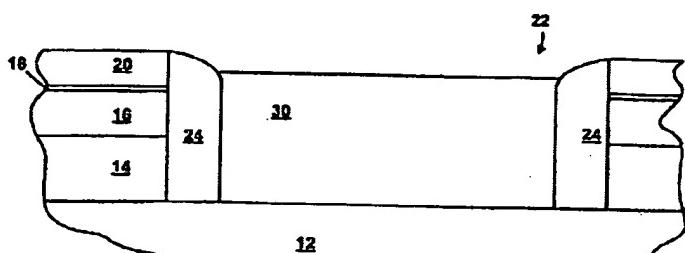
【図1】



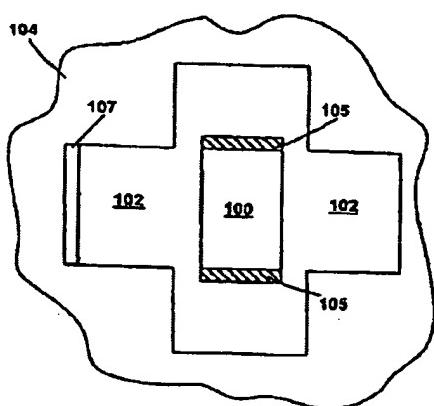
【図2】



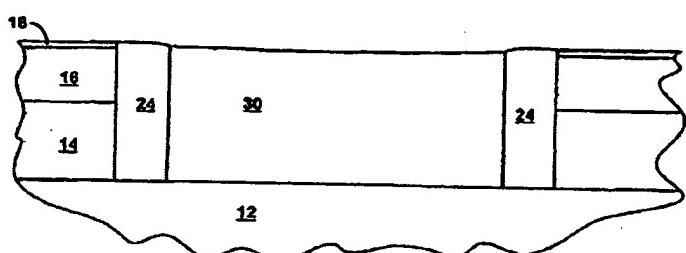
【図3】



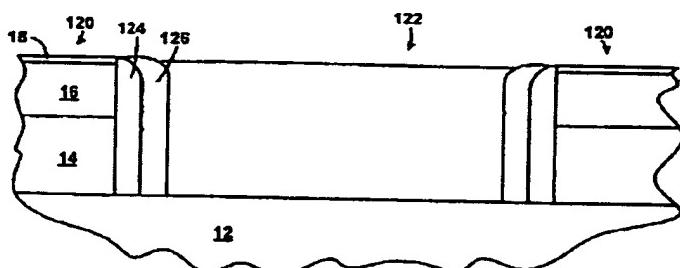
【図5】



【図4】



【図6】



フロントページの続き

(72)発明者 ジャック・エイ・マンデルマン  
アメリカ合衆国 12582 ニューヨーク州  
ストームヴィル ジャミィ レーン 5

(72)発明者 ウィリアム・アール・トンティ  
アメリカ合衆国 05452 バーモント州  
エセックス ジャンクション ブルーステ  
ム ロード 4

(72)発明者 マシュー・アール・ワードマン  
アメリカ合衆国 10541 ニューヨーク州  
マホバッカ サイカモア ロード 32